МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение

высшего образования

**«Вятский государственный университет»**

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Допущено к защите

Руководитель проекта

\_\_\_\_\_\_\_\_\_/Мельцов В.Ю./

(подпись) (Ф.И.О.)

«\_\_»\_\_\_\_\_\_\_\_\_\_2017г.

«РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-  
ЛОГИЧЕСКОГО УСТРОЙСТВА»

Пояснительная записка курсового проекта по дисциплине

«Проектирование цифровых устройств»

ТПЖА.09.03.01.005 ПЗ

Разработал студент группы ИВТ-22\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Кокорин И.Д./

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/Мельцов В.Ю./

Проект защищен с оценкой «\_\_\_\_\_\_\_\_\_\_\_\_» \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(оценка) (дата)

Комиссия \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Мельцов В.Ю./

(подпись)

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ \_Клюкин В.Л. /

(подпись)

Киров 2017

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №строки | Форма | | Обозначение | | | Наименование | | | | Кол-во листов | | № экз. | Примеч |
| 1 |  | |  | | | Документация | | | |  | |  |  |
| 2 |  | |  | | | Вновь разработанная | | | |  | |  |  |
| 3 |  | |  | | |  | | | |  | |  |  |
| 4 | А2 | | ТПЖА.090301.005 Э2 | | | ОЧ АЛУ схема электрическая функциональная | | | | 1 | |  | Плакат |
| 5 | А2 | | ТПЖА.090301.005 КПЛ | | | Граф-схема алгоритма содержательная объединенная | | | | 1 | |  | Плакат |
| 6 | А2 | | ТПЖА.090301.005 Э3 | | | ОЧ АЛУ схема электрическая принципиальная | | | | 2 | |  | Чертеж |
| 7 | А4 | | ТПЖА.090301.005 ПЭ3 | | | Спецификация | | | | 1 | |  |  |
| 8 | А4 | | ТПЖА.090301.005 ПЗ | | | Пояснительная записка | | | | 69 | |  |  |
| 9 |  | |  | | |  | | | |  | |  |  |
| 10 |  | |  | | |  | | | |  | |  |  |
| 11 |  | |  | | |  | | | |  | |  |  |
| 12 |  | |  | | |  | | | |  | |  |  |
| 13 |  | |  | | |  | | | |  | |  |  |
| 14 |  | |  | | |  | | | |  | |  |  |
| 15 |  | |  | | |  | | | |  | |  |  |
| 16 |  | |  | | |  | | | |  | |  |  |
| 17 |  | |  | | |  | | | |  | |  |  |
| 18 |  | |  | | |  | | | |  | |  |  |
| 19 |  | |  | | |  | | | |  | |  |  |
| 20 |  | |  | | |  | | | |  | |  |  |
| 21 |  | |  | | |  | | | |  | |  |  |
| 22 |  | |  | | |  | | | |  | |  |  |
| 23 |  | |  | | |  | | | |  | |  |  |
| 24 |  | |  | | |  | | | |  | |  |  |
| 25 |  | |  | | |  | | | |  | |  |  |
| 26 |  | |  | | |  | | | |  | |  |  |
| 27 |  | |  | | |  | | | |  | |  |  |
| 28 |  | |  | | |  | | | |  | |  |  |
| 29 |  | |  | | |  | | | |  | |  |  |
| 30 |  | |  | | |  | | | |  | |  |  |
| 31 |  | |  | | |  | | | |  | |  |  |
| 32 |  | |  | | |  | | | |  | |  |  |
|  | |  |  |  |  |  | | | | | | | |
|  | |  |  |  |  | ТПЖА.090301.005 ДКП | | | | | | | |
| Изм. | | Лист | № докум. | Подп. | Дата |  | | | | | | | |
| Разраб. | | | Кокорин |  |  | Разработка | Лит. | | | | Лист | | Листов |
| Пров. | | | Мельцов |  |  | Операционной | Э |  |  | |  | | 1 |
| Т.контр. | | |  |  |  | части арифметико- | Кафедра ЭВМ | | | | | | |
| Н.контр. | | |  |  |  | логического | Группа ИВТ-31 | | | | | | |
| Утв. | | |  |  |  | устройства |  | | | | | | |

Реферат

Кокорин И.Д. Разработка операционной части арифметико-логического устройства: ТПЖА.09.03.01.005 ПЗ: Курс. проект / ВятГУ, каф. ЭВМ; рук. В.Ю. Мельцов - Киров, 2017. – Гр. ч. 4 л. ф.А2; ПЗ 69с., 18 рис., 10 табл., 4 ист, 4 прил.

АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО, ПЛАВАЮЩАЯ ЗАПЯТАЯ, ХАРАКТЕРИСТИКА, ПРИНЦИПИАЛЬНАЯ СХЕМА, СЛОЖЕНИЕ, ВЫЧИТАНИЕ МОДУЛЕЙ, ДЕКРЕМЕНТ, УМНОЖЕНИЕ

Объект исследования и разработки – операционная часть арифметико- логического устройства, выполняющего операции умножения в дополнительном коде IV способом с плавающей запятой с характеристикой, сложения, вычитания модулей, декремента.

Цель курсового проекта – синтезировать с наименьшими аппаратурными затратами операционную часть арифметико-логического устройства, выполняющего операции умножения в дополнительном коде IV способом с плавающей запятой с характеристикой с простой коррекцией, сложения, вычитания модулей, декремента.

Результатом работы является принципиальная схема арифметико- логического устройства.

Содержание

[Введение 4](#_Toc500807126)

[1 Постановка задачи 5](#_Toc500807127)

[2 Описание алгоритмов функционирования арифметико-логического устройства 6](#_Toc500807128)

[3 Численные примеры 10](#_Toc500807129)

[4 Разработка функциональных схем для отдельных операций 16](#_Toc500807130)

[5 Описание ГСА отдельных операций 22](#_Toc500807131)

[6 Разработка объединенной функциональной схемы 27](#_Toc500807132)

[7 Разработка объединенной ГСА 29](#_Toc500807133)

[8 Разработка и описание принципиальной схемы ОЧ АЛУ 30](#_Toc500807134)

[9 Расчёт фильтра питания 41](#_Toc500807135)

[10 Расчёт длительности такта и разработка тактового генератора 45](#_Toc500807136)

[11 Разработка тактового генератора 47](#_Toc500807137)

[12 Расчёт быстродействия 50](#_Toc500807138)

[Заключение 56](#_Toc500807139)

[Список сокращений 57](#_Toc500807140)

[Библиографический список 58](#_Toc500807141)

[Приложение А 59](#_Toc500807142)

[Приложение Б 63](#_Toc500807143)

[Приложение В 68](#_Toc500807144)

[Приложение Г 69](#_Toc500807145)

Изм.

Лист

№ докум.

Подпись

Дата

Лист

3

*ТПЖА.09.03.01.005 ПЗ*

Разраб.

Родыгин

Родыги

Провер.

Мельцов

Реценз

Н. Контр.

Утверд.

*Проектирование  
цифровых  
устройств*

Лит.

Листов

69

# Введение

В вычислительных машинах различные арифметические и логические операции выполняются на арифметико-логическом устройстве. Ему на вход поступают операнды и код операции, определяющий, какую операцию должно выполнять АЛУ. АЛУ может выполнять большой набор операций.

Разработка АЛУ для конкретной вычислительной машины позволяет увеличить ее быстродействие, так как при использовании универсальных АЛУ часть операций в них просто не будет использоваться, в то время как в специализированном под какое-то определенное вычислительное устройство АЛУ будут только те операции, которые выполняются на этом устройстве.

Целью данного курсового проекта является разработка такого АЛУ, выполняющего заданный набор операций.

# 1 Постановка задачи

Разработать операционную часть АЛУ для реализации следующих операций:

* Умножения чисел четвёртым способом в ДК с характеристикой с простой коррекцией;
* Сложение;
* Вычитание модулей;
* Декремент;

Разрядность операндов – 32. 31 разряд – знаковый, 30-23 - характеристика, 22-0 – мантисса.

После окончания операции устройство должно выдавать в управляющий автомат следующие признаки:

* ПРС;
* Равенство результата нулю;
* Знак результата;
* Перенос из старшего (значащего) разряда.

Разработанное устройство должно удовлетворять следующим требованиям:

* Минимизация аппаратурных затрат;
* Приемлемое быстродействие;
* Приемлемая потребляемая мощность.

# 2 Описание алгоритмов функционирования арифметико-логического устройства

В данном разделе рассматриваются словесные описания алгоритмов выполнения операций и указаны возможные особые ситуации, с точки зрения построения автомата, ситуации при выполнении данных операций.

2.1 Описание алгоритма умножения.

Алгоритм умножения состоит из следующих шагов:

1. Считать множимое и множитель;
2. Проверить мантиссу множителя на 0. Если мантисса множителя равна 0, то выдать 0;
3. Проверить мантиссу множимого на 0. Если мантисса множимого равна 0, то выдать 0;
4. Сложить характеристики:
   * + Если ПМР, то выдать результат 0;
     + Если истинное ПРС, то прекратить операцию и выдать сигнал «ПРС»;
     + Если временное ПРС, то продолжить умножение;
5. Если хотя бы один из сомножителей отрицателен, выполнить коррекцию по следующим правилам:
   * + если один сомножитель отрицателен, из псевдопроизведения вычесть положительный сомножитель;
     + если оба сомножителя отрицательны, из псевдопроизведения вычесть оба операнда;
6. Сдвигаем множимое на один разряд вправо;
7. Проанализировать старший разряд множителя если он равен 1, то прибавить к СЧП множимое иначе перейти к следующему шагу;
8. Сдвинуть множимое на один разряд вправо, множитель на один разряд влево;
9. Выполнить шаги 7-8 до тех пор, пока регистр множителя не будет равен 0;
10. Проверить нормализован ли результат:
    * + Если да и было временное ПРС, то установить флаг ПРС и закончить умножение;
      + Если нет, то нормализовать и проверить характеристику на наличие ПМР, если оно есть, то выдать результат 0;
11. Выдать результат и характеристику.

2.2 Описание алгоритма сложения

Алгоритм сложения состоит из следующих шагов:

1. Принимаем операнды;
2. Вычитаем из характеристики первого числа характеристику второго числа;
3. Проверяем разность характеристик:
   * Если разность характеристик меньше -23, то выдаем результатом 2 число;
   * Если разность характеристик больше 23, то выдаем результатом 1 число;
   * Если разность больше 23 и меньше 23, то продолжаем выполнение
4. Выполняем выравнивание характеристик, до тех пор, пока разность характеристик не станет равна 0:
   * Если разность характеристик меньше 0, то сдвигаем 2 операнд, инкрементируем разность характеристик и характеристику 2 числа;
   * Если разность характеристик больше 0, то сдвигаем 1 операнд, декрементируем разность характеристик и характеристику 2 числа;
5. Сложить мантиссы.
6. Проверка нормализован ли результат:
   * Если не нормализован, то сдвинуть результат влево и вычесть из характеристики 1;
7. Проверить характеристику на наличие ПМР и ПРС:
   * Если ПМР произошло, то выдать результатом ноль.
   * Если ПРС произошло, то записать единицу в триггер ПРС и закончить операцию.
8. Выдать результат и характеристику.

2.3 Описание алгоритма вычитания модулей.

Алгоритм вычитания модулей состоит из следующих шагов:

1. Принимаем операнды;
2. Вычитаем из характеристики первого числа характеристику второго числа;
3. Проверяем разность характеристик:
   * Если разность характеристик меньше -23, то выдаем результатом 2 число;
   * Если разность характеристик больше 23, то выдаем результатом 1 число;
   * Если разность больше 23 и меньше 23, то продолжаем выполнение
4. Выполняем выравнивание характеристик, до тех пор, пока разность характеристик не станет равна 0:
   * Если разность характеристик меньше 0, то сдвигаем 2 операнд, инкрементируем разность характеристик и характеристику 2 числа;
   * Если разность характеристик больше 0, то сдвигаем 1 операнд, декрементируем разность характеристик и характеристику 2 числа;
5. Если первый операнд отрицательный, меняем знак и переводим в ПК.
6. Если второй операнд положительный, меняем знак и переводим в ДК;
7. Сложить мантиссы.
8. Проверка нормализован ли результат:
   * Если не нормализован, то сдвинуть результат влево и вычесть из характеристики 1;
9. Проверить характеристику на наличие ПМР и ПРС:
   * Если ПМР произошло, то выдать результатом ноль.
   * Если ПРС произошло, то записать единицу в триггер ПРС и закончить операцию.
10. Выдать результат и характеристику.

2.4 Описание алгоритма декремента

Алгоритм декремента состоит из следующих шагов:

1. Принимаем операнд;
2. Проверяем характеристику
   * Если характеристика больше 23, выдаём результат;
   * Если характеристика меньше -23, выдаём в качестве результата -1;
   * Если характеристика меньше 23 и больше -23, то продолжаем операцию;
3. Генерируем -0.9999999;
4. Выполняем выравнивание операндов;
5. Выполняем сложение операндов;
6. Если получился результат равен нулю, то выдать его;
7. Проверяем нормализован ли результат:
   * Если нет, то выполняем сдвиг результата влево и вычитаем из характеристики единицу;
8. Выдать результат и характеристику.

# 3 Численные примеры

* 1. Примеры операции умножения

3.1.1 Обычное умножение.

Операнды:

|  |  |  |  |
| --- | --- | --- | --- |
| A=-1,125 | | | |
| Aпк=  Aдк= | 1,1001 | 10010 |
| 1,1001 | 01110 |
| В=-3,5625 | | | |
| Bпк= | 1,1010 | 11101 |
| Bдк= | 1,1010 | 00011 |

|  |  |
| --- | --- |
| 1001  + | |
| 1010 |
| 10011 | |

Сложение характеристик 1001+1010=10011

Умножение 4 способом с простой коррекцией представлено в таблице 3.1

Таблица 3.1 - Умножение 4 способом с простой коррекцией

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель← | Множимое→ | СЧП | Комментарий |
| 1.01110 | 1.0001100000 | 0.0000000000 | Исходное |
| 1.01110 |  | 0.0000000000  1.0010000000  1.0010000000 | Коррекция (-A)ДК |
| 1.01110 |  | 1.0010000000  1.1101000000  0.1111000000 | Коррекция (-В)ДК |
| 1.01110 | 0.1000110000 | 0.1111000000 | Сдвиг мн-ого |
| 1.01110 | 0.1000110000 | 0.1111000000  1.0001100000  0.0000100000 | +Множимое |
| 1.01110 | 0.1000110000 | 0.0000100000 | Сдвиг |
| 0.11100 | 0.0100011000 | 0.0000100000 | Сдвиг |
| 1.11000 | 0.0010001100 | 0.0000100000  0.0100011000  0.0100111000 | +Множимое |
| 1.11000 | 0.0010001100 | 0.0100111000 | Сдвиг |
| 1.10000 | 0.0001000110 | 0.0100111000  0.0010001100  0.0111000100 | +Множимое |
| 1.10000 | 0.0001000110 | 0.0111000100 | Сдвиг |
| 1.00000 | 0.0000100011 | 0.0111000100  0.0001000110  0.1000001010 | +Множимое |
|  |  | 0.1000001010 | Результат |

|  |  |  |
| --- | --- | --- |
| 0 | 1011 | 10000 |

Результат в разрядной сетке:

Ответ: 100.002=410

* + 1. ПРС характеристик.

Операнды:

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 1111 | 10011 |
| 1 | 1111 | 01101 |
| Bпк= | 1 | 1100 | 11001 |
| Bдк= | 1 | 1100 | 00111 |

|  |
| --- |
| 1111  + |
| 1100 |
| 11011 |

Характеристика = 1111 + 1100 = 11011

Возникло ПРС характеристик. Т.к в 2х старших разрядах 1, и в младших разрядах есть 1. Завершение работы.

* + 1. ПМР характеристик.

Операнды:

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 0001 | 10011 |
| 1 | 0001 | 01101 |
| Bпк= | 1 | 0011 | 11001 |
| Bдк= | 1 | 0011 | 00111 |

|  |
| --- |
| 0001  + |
| 0011 |
| 00100 |

Характеристика = 0001+ 0011= 00100

Возникло ПМР. Т.к в 2х старших разрядах 0. Результат 0.

* + 1. Устранимое временное ПРС.

Операнды:

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 1111 | 10000 |
| 1 | 1111 | 10000 |
| Bпк= | 1 | 0001 | 10000 |
| Bдк= | 1 | 0001 | 10000 |

|  |
| --- |
| 1111  + |
| 0001 |
| 10000 |

Характеристика 1111 + 1001 = 11000

Возникло временное ПРС

Умножение мантисс представлено в таблице 3.2.

Нормализация:(Характеристика = 11000-1 = 10111

|  |  |  |
| --- | --- | --- |
| 0 | 0111 | 10000 |

Результат в разрядной сетке

|  |
| --- |
| 0000 |
| 1000  + |
| 1000 |

* + 1. ПМР характеристик при нормализации

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 0000 | 11000 |
| 1 | 0000 | 01000 |

|  |  |  |  |
| --- | --- | --- | --- |
| Bпк=  Bдк= | 1 | 1000 | 11111 |
| 1 | 1000 | 00001 |

|  |
| --- |
| 1000 |
| 1111  + |
| 0111 |

Характеристика = 0000 + 1000 = 1000

Умножение мантисс представлено в таблице 3.2.

|  |  |  |
| --- | --- | --- |
| 0 | 1000 | 01000 |

Результат в разрядной сетке:

|  |  |  |
| --- | --- | --- |
| 0 | 0111 | 10000 |

Нормализация:(Характеристика = 1000-1 = 0111)

При нормализации произошло ПМР. Результат 0.

Таблица 3.2- Умножение мантисс

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель← | Множимое→ | СЧП | Комментарий |
| 1.10000 | 1.1000000000 | 0.000000000 | Исходное |
|  |  | 0.000000000  1.000000000  1.000000000 | Коррекция (-A)ДК |
|  |  | 1.000000000  1.000000000  0.000000000 | Коррекция (-В)ДК |
| 1.10000 | 1.1000000000 | 0.000000000 | Сдвиг мн-ого |
| 1.10000 | 0.1100000000 | 0.000000000  1.100000000  1.100000000 | +Множимое |
| 1.00000 | 0.1100000000 | 1.100000000 | Сдвиг |
| 1.00000 | 0.0110000000 | 1.100000000  0.110000000  0.010000000 | +Множимое |
|  |  | 0.010000000 | Результат |

|  |  |  |
| --- | --- | --- |
| 0 | 0000 | 01000 |

Результат в разрядной сетке:

|  |
| --- |
| 10000 |
| 11111  + |
| 01111 |

Нормализация: (Характеристика = 10000+11111=01111)

|  |  |  |
| --- | --- | --- |
| 0 | 1111 | 10000 |

При нормализации ПРС было устранено

* + 1. Неустранимое временное ПРС

Операнды:

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 1111 | 10010 |
| 1 | 1111 | 01110 |

|  |
| --- |
| 1111  + |
| 0001 |
| 10000 |

|  |  |  |  |
| --- | --- | --- | --- |
| Bпк=  Bдк= | 1 | 0001 | 11101 |
| 1 | 0001 | 00011 |

Характеристика = 1111 + 0001 = 10000

Возникло временное ПРС

Умножение мантисс представлено в таблице 3.1.

|  |  |  |
| --- | --- | --- |
| 0 | 0000 | 10000 |

Результат в разрядной сетке:

Мантисса нормализована. ПРС не может быть устранено. Формирование признака ПРС и завершение работы.

* 1. Примеры операции сложения
     1. Пример операции с возникновением ПРС при нормализации

|  |  |  |
| --- | --- | --- |
| A=6410 | Мантисса: 0.100000 | Характеристика: 1111 |
| В=6410 | Мантисса: 0.100000 | Характеристика: 1111 |

Сложение:

0.100000 (ДК)

0.100000 (ДК)

1.000000 (ДК)

Произошло временное ПРС. Сдвигаем мантиссу на 1 разряд вправо и увеличиваем характеристику на 1.

Увеличение характеристики:

1.111 (ПК)

0.001 (ПК)

0.000 (ПК) - ПРС

Произошло ПРС в характеристиках. Устанавливаем флаг ПРС. Прекращаем операцию сложения.

* + 1. Пример возникновения ПРС

|  |  |  |
| --- | --- | --- |
| A=0,984375010 | Мантисса: 0.111111 | Характеристика: 1000 |
| В=-0,000008110 | Мантисса: 1.011110 | Характеристика: 0000 |

|  |
| --- |
| 1000  + |
| 10000 |
| 11000 |

Выполняем вычитание характеристик:

Возникло ПРС характеристик, выдаем результатом первый операнд.

* 1. Примеры операции декремента

3.3.1 Пришло число +1 (0,9999999)

|  |  |  |
| --- | --- | --- |
| A=0,984375010 | Мантисса: 0.111111 | Характеристика: 1000 |

Выполняем вычитание:

|  |
| --- |
| 0111111 |
| 1000001 |
| 0000000 |

В результате вычитания получился 0, выдается результат равный нулю

3.3.2 Характеристика операнда больше 22

|  |  |  |
| --- | --- | --- |
| A=3225610 | Мантисса: 0.111111 | Характеристика: 11111 |

Характеристика операнда равна 31, это больше 22, выполнять операцию не имеет смысла, результатом выдается пришедший операнд.

3.3.3 Результат равен нулю

|  |  |  |
| --- | --- | --- |
| A=0,99999999 | Мантисса: 0.111111 | Характеристика: 10000 |

Характеристика операнда равна -31, это больше 22, выполнять операцию не имеет смысла, результатом выдается -1.

# Разработка функциональных схем для отдельных операций

4.1 Функциональная схема для операции умножения.

В результате разработки ФС для операции умножения был получен ОА, состоящий из следующих элементов:

* 47 – разрядные сдвиговые регистры RG1 и RG3;
* 8 – разрядный не сдвиговый регистр RG4;
* 24 – разрядный сдвиговый регистр RG2;
* 47-входовой логических элемента XOR;
* 8 – разрядный счётчик СТ1;
* 5 – D-триггеров T1, T2, T3, T4, T5;
* 47 – разрядный сумматор SM1;
* 8 – разрядный сумматор SM2;
* 24- входовой логический элемент NOR;
* 23- входовой логический элемент NOR;
* 7 – входовой логический элемент OR;
* Набор логических элементов:2 элемент XNOR, 2 элемента NOR, 4 элемент AND, 2 элемента OR, 1 элемент NOT.

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в   
таблице 4.1.

Таблица 4.1 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | y0 | Запись RG1, RG4; |
| Р1 | Определение знака множимого | y1 | Запись RG2, установка Т1 в положение «0»; |
| P2=1 | Множитель равен 0 | y2 | Установка Т1 в положение «1»; |
| Р3=1 | Множимое равно 0 | y3 | Инвертирование RG1 и CRP; |
| Р4 | Анализ старшего разряда | y4 | Запись СТ1 значения выхода SM2 |
| Р5=1 | Истинное ПРС характеристик | y5 | Запись RG3 значения выхода SM1 |
| Р6=1 | Временное ПРС характеристик | y6 | Сдвиг RG2 влево |
| Р7=1 | ПМР характеристик | y7 | Сдвиг RG3 влево, СТ1=СТ-1 |
| Р8=0 | Результат нормализован | y8 | Обнуление CT1 |
| P9=1 | Результат равен нулю | y9 | Выдача результата на выходную шину |
| Z | Проверка возможности выдачи результата на ШИВых | y10 | Обнуление RG3 |
|  |  | y11 | Сдвиг RG2 вправо |
|  |  | y12 | Запись в Т5 |

Разработанная ФС представлена на рисунке А.1.

4.2 Функциональная схема для операции сложения и вычитания модулей.

В результате разработки ФС для операций сложение и вычитания модулей был получен ОА, состоящий из следующих элементов:

* 24-разрядный сдвиговый регистр RG1;
* 24-разрядный реверсивный сдвиговый регистр RG2;
* D-триггеры Т1, Т2, Т3, Т4, T5;
* RS – триггер T6;
* 24-разрядный сумматор SM1;
* 8-разрядный сумматор SM2;
* 24-входовой логический элемент XOR;
* 8-входовой логический элемент XOR;
* 8-разрядные счётчики CT1 и СТ2;
* 16- входовой компаратор;
* 23- входовые логические элемент OR;
* 5 – входовой логический элемент OR;
* Набор логических элементов: 1 элемент NOT, 3 элемента XNOR, 1 элемент AND.

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в   
таблице 4.2.

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | y0 | Запись RG1, CT1 |
| P0 | Первый регистр равен нулю | y1 | Очистка RG2 |
| P1 | Старший разряд первого регистра | y2 | Очистка CT2 |
| P2 | ПРС | y3 | Запись RG2 |
| P3 | Результат не нормализован | y4 | Запись CT2 |
| P4 | Компаратор А>В | y5 | ДК мантисс |
| P5 | Разница характеристик равна 0 | y6 | ДК характеристик |
| P6 | Результат равен нулю | y9 | CT2+1 |
| P7 | Старший разряд характеристики | y10 | CT2-1 |
| Z | Проверка возможности выдачи результата на ШИВых | y11 | CT1+1 |
|  |  | y12 | CT1-1 |
|  |  | y13 | Сдвиг RG1 вправо |
|  |  | y14 | Сдвиг RG2 вправо |
|  |  | y15 | Сдвиг RG2 влево |
|  |  | y16 | Инверсия старшего разряда характеристики |
|  |  | y17 | Выдать результат |
|  |  | y18 | Очистка T5 |
|  |  | y19 | Запись T5 |
|  |  | y20 | Запись T1 |

Таблица 4.2 - Взаимодействие операционного и управляющего автоматов

Разработанная ФС представлена на рисунке А.2.

4.3 Функциональная схема для операции декремента.

В результате разработки ФС для операции декремента был получен ОА, состоящий из следующих элементов:

* D-триггеры Т1, Т2, Т3 и Т4;
* 24-разрядный сдвиговый регистр RG1;
* 24-разрядный реверсивный сдвиговый регистр RG2;
* 24-разрядный сумматор SM1;
* 16-входовой компаратор;
* 23-входовые логические элемент NOR;
* 6-входовые логические элемент OR;
* 8-разрядный счётчик CT1;
* 7-разрядный счётчик CT2;
* Набор логических элементов: 1 элемент OR, 2 элемента XNOR, 1 элемент NOT.

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в  
таблице 4.3.

Таблица 4.3 - Взаимодействие операционного и управляющего автоматов

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | y0 | Запись RG1,CT1,CT2 |
| P0 | Операнд равен нулю | y1 | Очистка RG2 |
| P1 | Компаратор A>B | y2 | Запись RG2 |
| P2 | Старший разряд характеристики | y6 | Очистка RG1 |
| P4 | Характеристика равна нулю, либо единице | y7 | Сдвиг RG1 вправо |
| P5 | Результат равен нулю | y8 | CT2-1 |
| P6 | Результат ненормализован | y9 | Сдвиг RG2 |
| Z | Проверка возможности выдачи результата на ШИВых | y10 | CT2+1 |
|  |  | y11 | CT1+1 |
|  |  | y12 | Очистка счётчиков CT1, CT2 |
|  |  | y13 | Сдвиг RG2 влево |
|  |  | y14 | CT1-1 |
|  |  | y15 | +1 на сумматор |
|  |  | y16 | Запись в триггер T2,T4  Выдать результат на шину |

Разработанная ФС представлена на рисунке А.3.

# 5 Описание ГСА отдельных операций

5.1 Описание для операции умножения

На первом такте производится проверка наличия на входной шине множителя. При поступлении множителя его мантисса со знаком записываются в RG2 и в старшие разряды RG1. Характеристика заносится в RG4. Так же в данном такте происходит обнуление регистров флагов, RG3, T5 и СТ1.

На втором такте идёт проверка на равенство множителя нулю, если равен, то выдать результатом ноль, если не равен характеристика записывается в СТ1, множитель инвертируется и заносится в RG3.

На третьем такте производится проверка наличия на входной шине множимого. При поступлении множимого его мантисса со знаком заносится в старшие разряды RG1, характеристика заносится в RG4.

На четвертом такте складываем содержимое RG4 и CT1 с записью в RG4, при возникновении единицы переноса, она записывается в Т5, также идёт проверка на равенство множимого нулю, если равен, то выдать результатом ноль, если не равен, то проверяем его знак, если он равен 0, то очищаем RG3, если он равен 1, то переходим к следующему такту.

На пятом такте проверяем знак множителя, если он равен 1, то складываем содержимое RG3 и инвертированное содержимое RG1, если он равен 0, то переходим к следующему такту.

На шестом такте идёт проверка результата сложения характеристик. Если появился сигнал ПМР, то следует выдать в качестве результата ноль, если появился сигнал ПРС, то следует установить одноимённый флаг и завершить операцию, если появился сигнал временно ПРС или не встретились вышеперечисленные сигналы, следует продолжить операцию.

На шестом такте происходит сдвиг регистра RG1.

На седьмом такте начинается цикл умножения, который завершается, когда содержимое регистра RG2 становится равным 0. Если старший разряд множителя равен 1, то происходит сложение содержимого RG3 и RG1 c записью в RG3.

На следующем такте происходит сдвиг RG2 на один разряд влево и RG3 на один разряд вправо.

Когда закончился цикл умножения идёт проверка на нормализацию результата. Если результат не нормализован, происходит сдвиг RG3 на один разряд влево и происходит вычитание 1 из СТ1. Если результат нормализован, происходит проверка, если было временное ПРС, то выдается сигнал истинного ПРС с установкой одноимённого триггера в 1 и завершение операции, если временного ПРС не происходило, то переходит в ожидание разрешения выдачи на шину.

После нормализации идёт проверка на сигнал ПМР, если он равен 1, то выдать в качестве результата 0.

Происходит выдача результата на шину с выставлением флагов.

Разработанная ГСА представлена на рисунке Б.2.

5.2 Описание для операции сложения/вычитания модулей

На первом такте производится проверка наличия на входной шине множителя. При поступлении 1 операнда его мантисса со знаком записываются в RG1. Характеристика записывается в СТ1. Происходит очистка триггеров флагов, RG2 и CT2.

На втором такте если выполняется операция вычитания модулей, то проверяется знак операнда, если он равен 1, то операнд записывается в RG2 положительным, если он равен 0 или выполняется операция сложения, то операнд записывается в RG2 и происходит запись характеристики в СТ2.

На третьем такте производится проверка наличия на входной шине множимого. При поступлении второго операнда его мантисса со знаком заносится в старшие разряды RG1, характеристика заносится в СТ1.

На пятом такте происходит ряд проверок. Если второй операнд равен нулю, то выдать результатом первый операнд. Если первый операнд равен нулю, то при вычитании проверяется знак второго операнда, если он равен 0, то он записывается в RG3 отрицательным, если знак равен 1 или выполняется операция сложения, то второй операнд записывается в RG2 и характеристика в CT2.

На шестом такте происходит вычитание из характеристики первого операнда характеристику второго.

На седьмом такте происходит ряд проверок. Если произошло ПРС характеристик, то следует выдать в качестве результата первый операнд. Если старший разряд CT2 равен 1 и сигнал с компаратора равен 1, то в качестве результата выдается второй операнд. Если старший разряд СТ2 равен 0 и сигнал компаратора равен 0, то в качестве результата выдается первый операнд.

В остальных случаях идёт проверка на то, равно ли содержимое СТ2 нулю.

Если равно, то переходим к следующему такту. Если не равно, то исходя из сигнала компаратора выбирается одно из действий: если он равен 1, то происходит сдвиг RG1 вправо, декремент СТ2 и инкремент СТ1, если он равен 0, то происходит сдвиг RG2 влево и инкрементирование СТ2.

После завершения цикла выравнивания если выполняется операция вычитания и старший разряд второго операнда равен 0, то при сложении с содержимым RG3 необходимо его инвертировать, если он равен 1, то происходит сложение RG1 и RG2 с записью в RG2, если выполняется операция сложения, то происходит сдвиг RG2 и RG1 на разряд вправо и инкрементирование СТ2.

Если выполняется операция сложения, то происходит сложение RG1 и RG2 с записью в RG2.

Если результат равен нулю, то выдать результат ноль. Если результат не нормализован, то сдвинуть RG2 влево на один разряд и декрементировать CT2. Если возник сигнал ПРС, то выставить одноименный флаг и завершить операцию.

При получении сигнала разрешения выдачи на шину, происходит передача результата на шину и выставление флагов.

5.3 Описание для операции декремент

На первом такте производится проверка наличия на входной шине операнда. При поступлении операнда его мантисса со знаком записываются в RG1. Характеристика записывается в СТ1 и СТ2. Происходит очистка триггеров флагов, RG2.

На втором такте идёт проверка, если операнд равен нулю, то выдаем в качестве результата -1, иначе происходит запись мантиссы в RG2.

На третьем такте идёт проверка, если старший сигнал СТ1 равен 1 и сигнал компаратора равен 1, то выдать результатом, имеющийся операнд, если же сигнал компаратора равен 0, то переходим к циклу выравнивания, если старший разряд СТ1 равен 0 и сигнал компаратора равен 1, то в качестве результата выдаем -1, если сигнал компаратора равен 0, то очищаем RG1 и переходим к следующему такту.

На следующем такте сдвигаем RG1 вправо с записью 1 в старший разряд.

Процедура выравнивания состоит из двух ситуаций: если старший разряд равен 1, то происходит сдвиг RG1 вправо и декрементировании СТ2, если старший разряд равен 0, то происходит сдвиг RG2 вправо и инкрементирование CT1, CT2. Цикл завершается, когда содержимое СТ станет равно 0.

После завершения цикла происходит сложение содержимого RG1 и RG2 с записью в RG2.

Если результат равен нулю, то в качестве результата выдается ноль. Если результат не нормализован, то происходит нормализация и декрементирование СТ1.

При получении сигнала разрешения выдачи на шину, происходит передача результата на шину и выставление флагов.

# 6 Разработка объединенной функциональной схемы

За основу объединенной ФС была выбрана схема операции умножения.

Для реализации других операций используются лишь дополнения и небольшие изменения ФС основной операции:

* Вместо регистра RG4 в схеме умножения был взят счётчик СТ1;
* Добавлен компаратор для сравнения характеристики операндов с числом ±22;
* СТ1 был изменен на СТ2 и уменьшена разрядность на 1 с добавлением триггера
* Добавлена КС для инвертирования характеристики

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в   
таблице 6.1.

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| Х | Проверка наличия операндов на ШИВх | Y0 | Запись CT1, RG1. Очистка T1, T2, T3, T4, T5, T6 |
| P0 | Проверка на 0 RG1 | Y1 | Очистка СТ1 |
| P1 | Знак RG1 | Y2 | СТ1+1 |
| P2 | Знак RG2 | Y3 | СТ1-1 |
| P3 | Компаратор A>B | Y4 | Инвертирование СТ1 и CRP на SM2 |
| P4 | Характеристика =0 | Y5 | Очистка СТ2 |
| P5 | ПРС | Y6 | Запись СТ2, запись Т5 |
| P6 | Временное ПРС | Y7 | СТ2+1, запись Т5 |
| P7 | ПМР | Y8 | СТ2-1, запись Т5 |
| P8 | Ненормализованный результат | Y9 | Запись Т6 |
| P9 | Результат равен 0 | Y12 | Сдвиг вправо RG1 |
| P10 | Множитель равен 0 | Y13 | YОчистка RG1 |
| P11 | Знак характеристики | Y14 | Инвертирование RG1 и CRP на SM1 |
| ZP | Проверка возможности выдачи результата на ШИВых | Y15 | CRP на SM1 |
|  |  | Y16 | Заполнение знаком при сдвиге RG1 |
|  |  | Y17 | Заполнение 1 при сдвиге RG1 |
|  |  | Y18 | Очистка RG3 |
|  |  | Y19 | Запись RG3 |
|  |  | Y20 | Сдвиг вправо RG3 |
|  |  | Y21 | Сдвиг влево RG3 |
|  |  | Y22 | Запись RG2 |
|  |  | Y23 | Сдвиг RG2 влево |
|  |  | Y24 | Запись 1 в T6 |
|  |  | Y25 | Запись T1 |
|  |  | Y26 | Запись в T2, T4 |
|  |  | Y27 | Выдача результата на шину |

Таблица 6.1 - Взаимодействие операционного и управляющего автоматов

Разработанная ФС представлена на рисунке А.4.

# 7 Разработка объединенной ГСА

Для выбора операции в объединенном ОА каждой операции присваивается свой код. Коды представлены в таблице 7.1.

Таблица 7.1 – Коды операций

|  |  |  |
| --- | --- | --- |
| Операция | КОП | |
| q1 | q0 |
| Декремент | 0 | 0 |
| Умножение | 0 | 1 |
| Вычитание модулей | 1 | 0 |
| Сложение | 1 | 1 |

При разработке объединенной ГСА была добавлена вершина выбора кода операции. ГСА операций сложения и вычитания модулей были объединены в одну, поскольку они различаются в двух вершинах. Общие части всех ГСА были выделены отдельно.

Разработанная объединенная ГСА представлена на рисунке Б.4.

# 8 Разработка и описание принципиальной схемы ОЧ АЛУ

Для разработки принципиальной схемы были использованы микросхемы ТТЛ серий 1533, 1531, 555. Перечень требуемых для разработки микросхем представлен в таблице 8.1.

Таблица 8.1 – Перечень требуемых микросхем

|  |  |
| --- | --- |
| Микросхема | Функциональное назначение |
| К1533АП5 | Шинный формирователь |
| К1533ИЕ7 | 4-х разрядный счётчик |
| К1533ТМ2 | 2 D-триггера |
| К1533ЛИ1 | Логическая функция 2И |
| К1533ЛН1 | Логическая функция НЕ |
| К1533ЛЛ1 | Логическая функция ИЛИ |
| К1533ЛЕ11 | Логическая функция 2ИЛИ-НЕ с открытым коллектором |
| К1533ЛП16 | Повторитель с повышенной нагрузочной способностью |
| К1533ИР13 | Реверсивный 8 – разрядный сдвиговый регистр |
| К1531ИМ6 | 4-х разрядный сумматор |
| К1533ЛП5 | Логическая функция XOR |
| К1533СП1 | 4-х разрядный цифровой компаратор |
| К555ЛЕ1 | Логическая функция И-НЕ |

Потребляемый микросхемами ток представлен в таблице 8.2.

Таблица 8.2 – Потребляемый микросхемами ток

|  |  |  |  |
| --- | --- | --- | --- |
| Микросхема | Количество | Ток одной микросхемы | Суммарный ток |
| К1533АП5 | 4 | 24 мА | 96 мА |
| К1533ИЕ7 | 4 | 22 мА | 88 мА |
| К1533ТМ2 | 3 | 4 мА | 12 мА |
| К1533ЛИ1 | 2 | 4 мА | 8 мА |
| К1533ЛН1 | 2 | 4 мА | 8 мА |
| К1533ЛЛ1 | 3 | 4,9 мА | 14,7 мА |
| К1533ЛЕ11 | 7 | 9 мА | 63 мА |
| К1533ЛП16 | 1 | 10,6 мА | 10,6 мА |
| К1533ИР13 | 15 | 40 мА | 600 мА |
| К1531ИМ6 | 14 | 55 мА | 770 мА |
| К1533ЛП5 | 15 | 5,9 мА | 88,5 мА |
| К1533СП1 | 2 | 11 мА | 22 мА |
| К555ЛЕ1 | 1 | 5,4 мА | 5,4 мА |
| Всего: | 72 |  | 1786,2 мА |

Общая потребляемая мощность P=U\*I= 5В \* 1,79А=9Вт

8.1 Регистры

Реверсивный сдвиговый регистр собирается с использованием микросхемы К155ИР13. Способ подключения для наращивания разрядности представлен на рисунке 8.1.

Рисунок 8.1 – Соединение регистров для сдвигов  
в сторону младших и старших разрядов.

Временная диаграмма работы реверсивного сдвигового регистра представлена на рисунке 8.2.

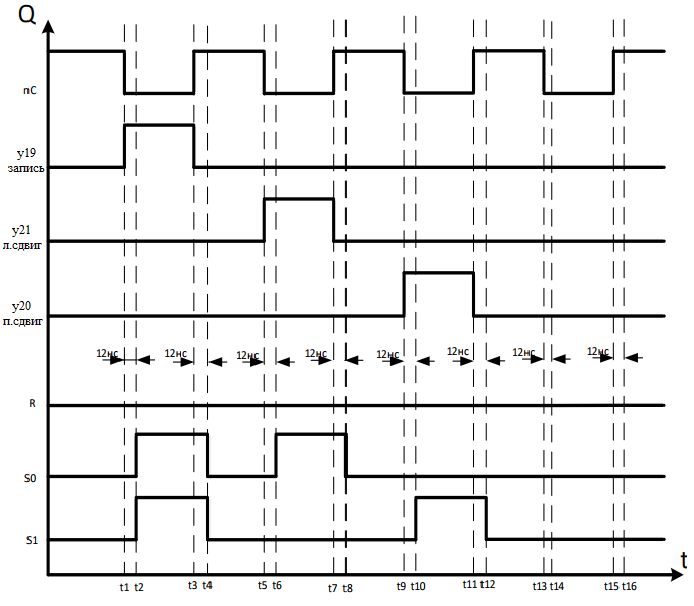


Рисунок 8.2 – временная диаграмма реверсивного сдвигового регистра.

8.2 Сумматор

Для увеличения разрядности сумматора выход CR соединяется со входом переноса CR следующего сумматора (рисунок 8.3).



Рисунок 8.3 – Соединение сумматоров

8.3 Счетчик

Для увеличения разрядности счётчика инверсные выходы ≥15 и ≤0 следует соединить со входами +1 и -1 следующего счётчика. Схема подключения ИЕ7 представлена на рисунке 8.4.



Рисунок 8.4 – Схема подключения ИЕ7

Временная диаграмма работы ИЕ7 представлена на рисунке 8.5.

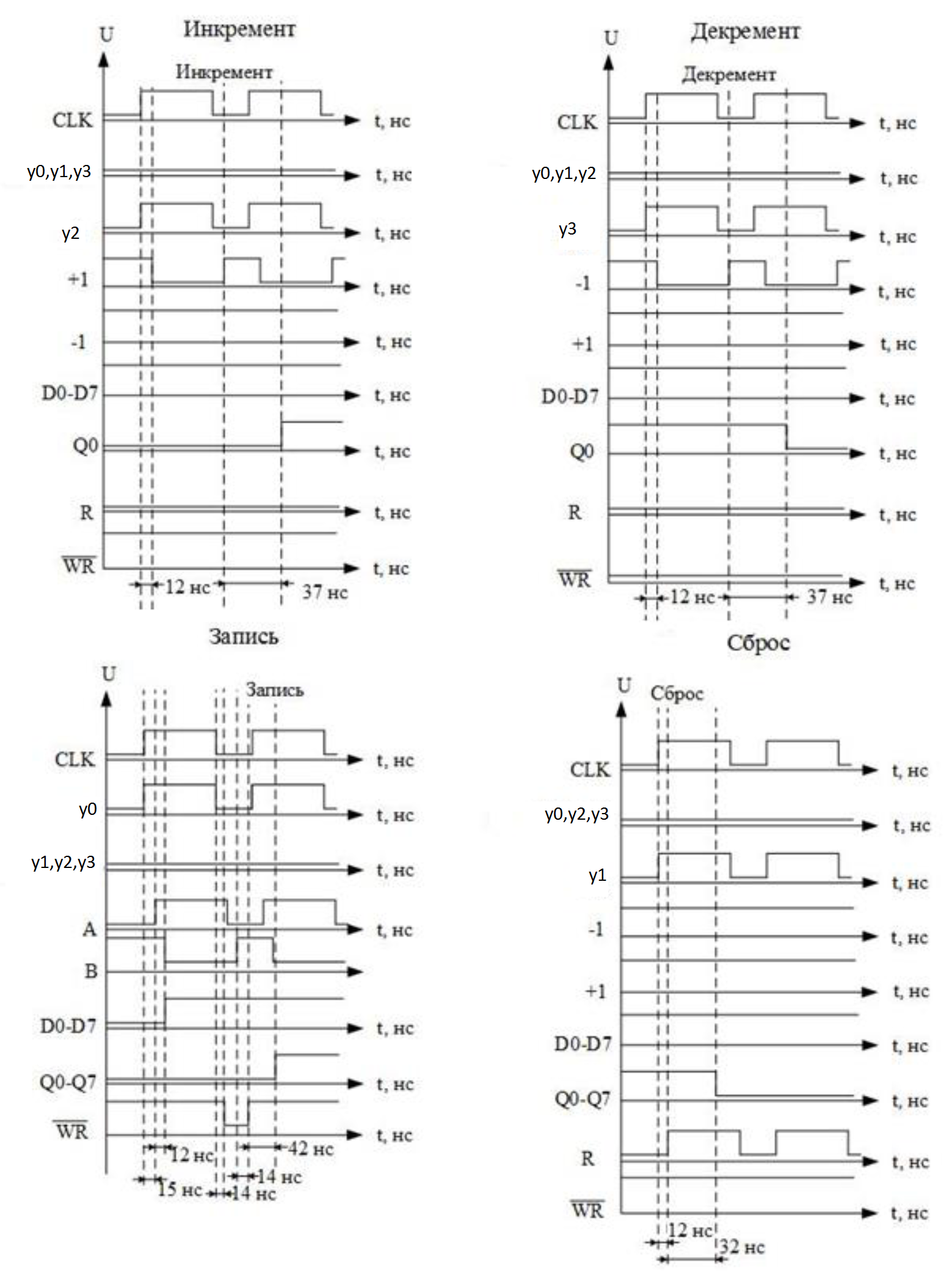
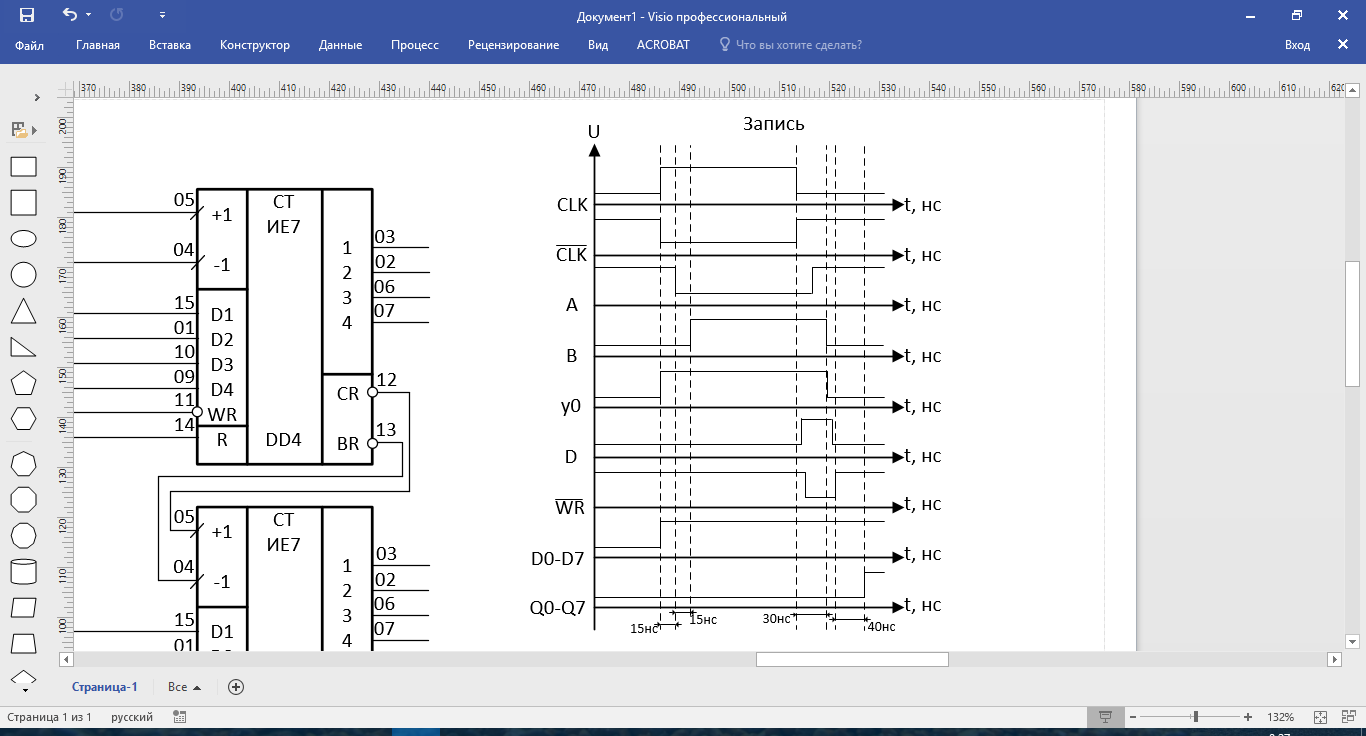


Рисунок 8.5 – Временная диаграмма работы счётчика ИЕ7

Такая схема подключения применяется только для счётчика СТ2, для счётчика СТ1 предполагается что данные будут на шине до конца такта.

8.4 Компаратор

Для отлавливания ситуации, когда модуль разности характеристик больше 22, либо меньше 22 были использованы 2 компаратора. Схема подключения компараторов представлена на рисунке 8.6.

  
Рисунок 8.6 – Схема подключения компараторов

Для увеличения разрядности компаратора нужно присоединить выход «X>Y» первого компаратора к соответствующему входу второго.

8.5 Резистор

Поскольку используются выходы микросхемы К1533ЛЕ11 с открытым коллектором, необходимо добавить в схему ограничительный резистор. Ограничительное сопротивление R1 рассчитывается по формуле

,

где

- минимальное напряжение микросхемы;

- максимальное напряжение микросхемы;

- максимальное напряжение логического нуля;

- Минимальное напряжение логической единицы

- токи утечки логического нуля и единицы;

- входные токи логических нуля и единицы;

- выходной ток логического нуля;

- количество элементов с открытым коллектором.

Для повышения быстродействия следует использовать наименьшее ограничительное сопротивление. Также в связи с тем, что ток утечки логического нуля очень мал, слагаемым (𝑁 − 1) ∗ 𝐼ут можно пренебречь. Ограничительное сопротивление можно рассчитать следующим образом:

,

ОМ

Резистор был выбран из ряда E24 220Ом

8.6 Логические элементы

УГО некоторых микросхем представлены на рисунках 8.7 – 8.10.



Рисунок 8.7 – УГО микросхемы К1533ЛЛ1



Рисунок 8.8 – УГО микросхемы К1533ЛИ1



Рисунок 8.9 – УГО микросхемы К1533ЛП5



Рисунок 8.10 – УГО микросхемы К1533ЛН1

8.7 Триггеры

В схеме присутствуют D- триггеры. Для реализации D-триггеров была взята микросхема К1533ТМ2. УГО данной микросхемы представлено на рисунке 8.11.



Рисунок 8.11 – УГО микросхемы К1533ТМ2

8.8 Шинный формирователь

По завершении операции результат выдаётся на шину. Для корректного формирования результата используется усилитель - формирователь. Данный элемент реализуется с помощью микросхемы КР1533АП5. УГО данной микросхемы представлено на рисунке 8.12.



Рисунок 8.12 – УГО микросхемы К1533АП5

# 9 Расчёт фильтра питания

Чтобы сгладить возможные скачки напряжения, для схемы необходимо разработать фильтр. Требуется рассчитать количество и ёмкости двух видов конденсаторов:

* электролитического – необходимого для сглаживания пульсирующего тока;
* керамического – необходимого для сглаживания напряжения.

9.1 Расчет амплитуды ступенчатого скачка тока

Сначала найдем максимальную расчетную амплитуду ступенчатого скачка тока питания по формуле, приведённой ниже.

,

где N – количество выходов микросхем;

C – средняя емкость нагрузки выходов;

ΔV – амплитуда выходного сигнала;

Δt – время переключения выходов.

Примем C=10пФ, ΔV=5.25В, Δt=10нс, N=345, исходя из средних показателей микросхем.

Подставим в формулу и выполним расчёты

=345\*10\*10-12\*(5,25/10\*10-9) = 1,81А

9.2 Расчет импеда1нса

Рассчитаем максимально допустимый импеданс по следующей формуле:

,

Где ∆Vп – допустимое напряжение помехи, равное 0.1В.

Для данного случая

Xmax=0.1/3.8=0.055 Ом.

9.3 Расчет индуктивности

Вычислим индуктивность разводки питания по следующей формуле:

,

где Х – длина провода питания;

H – среднее расстояние между центрами проводов;

D – диаметр жилы провода.

Примем Х=30см, Н=5мм, D=1мм.

Подставим значения в формулу и рассчитаем

9.4 Расчет частоты помех

По следующей формуле найдём допустимую частоту помех:

9.5 Расчет емкости конденсатора

По следующей формуле рассчитаем емкость электролитического конденсатора.

Из ряда Е6 берем значение для электролитического конденсатора Cэ=100мкФ U=10В.

9.6 Обеспечения устойчивости

Для обеспечения устойчивости от высокочастотных помех, возникающих из-за паразитных емкостей микросхем, в цепи питания ставятся керамические конденсаторы малой емкости.

Для расчёта данной емкости сначала найдём максимальную допустимую индуктивность питания по следующей формуле:

По следующей формуле рассчитаем частоту, до которой электролитический конденсатор справляется со своим назначением:

По следующей формуле рассчитаем общую емкость керамических конденсаторов:

Расчёт количества керамических конденсаторов рассчитывается по следующей формуле:

, где LCK=5 нГн

При расчёте этой формулой необходимо 50 керамических конденсаторов. Для определения окончательного числа данных конденсаторов следует воспользоваться правилом: на каждые 5 логических микросхем требуется 1 конденсатор. На все остальные необходимо установить по одному керамическому конденсатору.

Таким образом, общее количество требуемых керамических конденсаторов равно 47.

А для керамического конденсатора берём значение ряда Е24 - Сk=0.47пФ.

# 10 Расчёт длительности такта и разработка тактового генератора

Схематически такт работы представлен на рисунке 10.1.

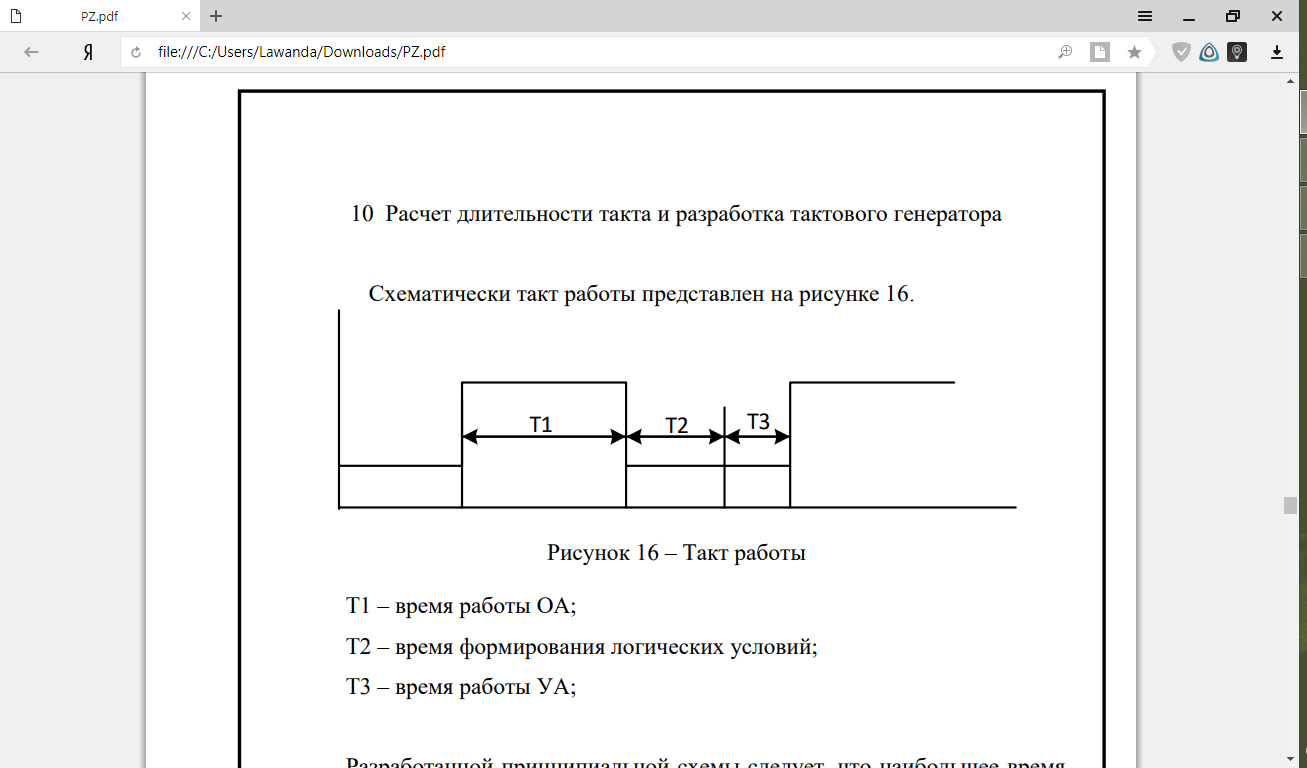


Рисунок 10.1– Такт работы

Т1 – время работы ОА;

Т2 – время формирования логических условий;

Т3 – время работы УА.

Из разработанной принципиальной схемы следует, что наибольшее время задержки ОУ требуется для перезаписи данных из одного регистра в другой через сумматор. Для определения данной задержки необходимо сложить время задержки КС2 после первого регистра(t1), время задержки на сумматоре(t2.1) и время предустановки данных ИР13(t3.1), либо сумма задержки на КС2(t1), время задержки на разряде переноса сумматора(t2.2) и время предустановки данных ТМ2(t3.2).

В первом случае время будет равно:

Т1.1 = 17+252+22 = 291нс

Во втором случае:

Т1.2 = 17+90+15 = 122нс

Следует выбрать большее из них, следовательно, выбираем время Т1.1 и прибавляем к нему 10% для повышения надёжности. В следствии чего оно становится равным:

Т1=291\*1,1=321нс

Время Т2 определяется наибольшим временем формирования осведомительных сигналов. Наибольшее время формирования имеет сигнал р3. К этому времени следует прибавить задержку до начала предустановки в ИЕ7.

Для повышения надёжности время задержки Т2 необходимо увеличить на 10%, без учёта задержки на ЛЕ1. Конечное значение времени задержки при формировании осведомительного сигнала p3 равно 128нс.

Время Т3 определяется временем задержки на УА.

КС состоит из трех слоёв элементов: «НЕ», «И», «ИЛИ». Таким образом, задержка формирования управляющих сигналов получается из суммы задержек этих элементов. Также к этому времени необходимо добавить задержку на элементе «И», необходимом для объединения управляющих сигналов с сигналом синхронизации.

Общее время такта: T=T1+T2+T3=321+128+57=506нс

# 11 Разработка тактового генератора

В качестве генератора возьмем микросхему К1533АГ3. Она представляет собой 2 одновибратора, которые соединятся в мультивибратор. Ее подключение показано на рисунке 11.1.

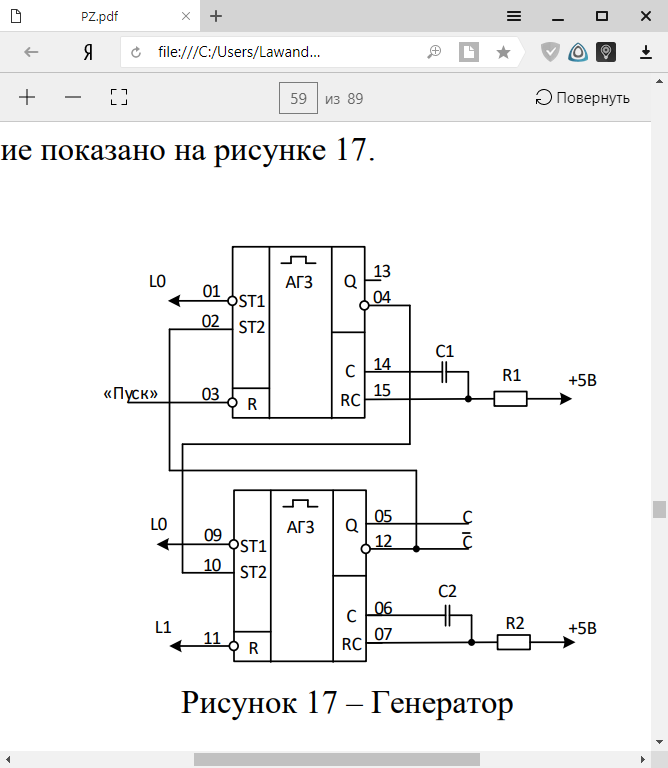


Рисунок 11.1 – схема подключения генератора

Для реализации тактового генератора требуется рассчитать номиналы C1, C2, R1, R2. Для расчёта используется следующие формулы:

t=0.45RC,

где t – время;

С – ёмкость;

R – сопротивление.

Время задержки на одновибраторах t3=39 нс.

Время работы на первом одновибраторе t1=T1=321 нс.

Время работы на втором одновибраторе t2=T2+T3-2\*t3=185-2\*39=107 нс.

C1 выбирается из ряда E24 равным 330 пФ. R1 рассчитывается по формуле:

Резистор выбирается из ряда E6 сопротивлением 2.2 кОм.

C2 выбирается из ряда E24 равным 160 пф. R2 и рассчитывается по формуле. Резистор выбирается из ряда E6 сопротивлением 1,5 кОм.

По формуле повторно рассчитывается t1 и t2:

t1=326,7нс;

t2=108нс.

Получается, что генератор вырабатывает тактовый импульс с временем   
Т = 435 нс.

Разработанная схема работает с частотой F=1/T=2,3 МГц

Временная диаграммы тактового генератора представлены на рисунке 11.2.

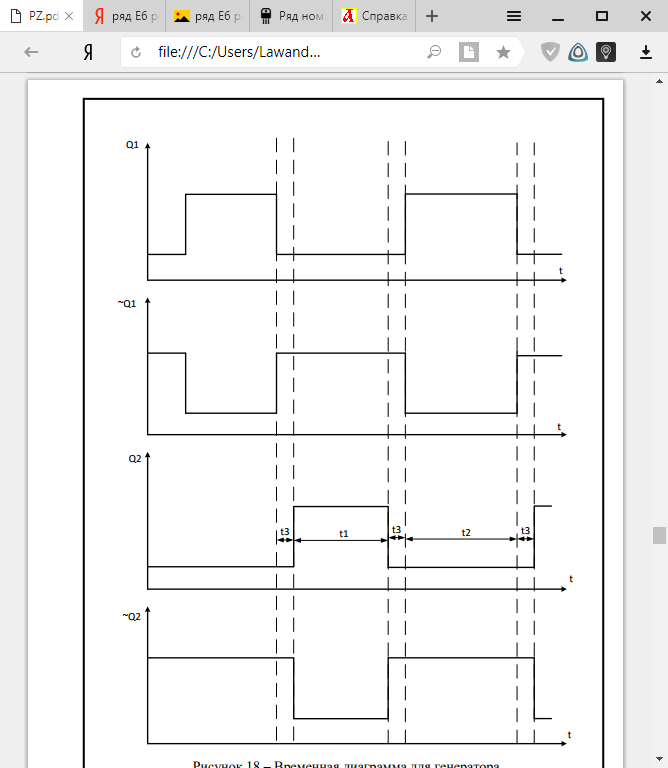


Рисунок 11.2– временные диаграммы для генератора

# 12 Расчёт быстродействия

Вероятности возникновения различных ситуаций при работе представлены в таблице 12.1.

Таблица 12.1 – вероятности различных ситуаций

|  |  |
| --- | --- |
| Наименование | Вероятность |
| Операция умножения | 0.1 |
| Операция сложения | 0.4 |
| Операция вычитания модулей | 0.3 |
| Операция декремент | 0.2 |
| ПРС в характеристике | 0.05 |
| Временное ПРС в характеристике | 0.05 |
| ПМР в характеристике | 0.05 |
| Операнд равен нулю | 0.01 |
| Модуль разности характеристик больше 22 | 0.2 |
| Денормализованное число | 0.5 |
| Результат равен нулю | 0.01 |

Найдём среднее количество тактов для выполнения каждой операции.

Граф-схема алгоритма операции умножения представлена на   
рисунке 12.1.



Рисунок 12.1 – Граф-схема операции умножения

A1 + 0.1(A11+A13) + 0.99(A2+A3 + 0.1(A11+A13) + 0.99(0.5(A4) + 0.5(A5)+A6+0.05(A12)+0.95(0.05(A11+A13)+0.95(A7+(0.95(0.5(A8)+A9)\*15 +0.01(0.1(A10+(0.05(A11+A13)+0.95(A7+A13)))+0.9(0.95(A13)+0.05(A12)))))))) = 24,95

Граф-схема алгоритма операции сложения/вычитания модулей приведена на рисунке 12.2.



Рисунок 12.2 – Граф-схема операций сложения и вычитания модулей

A1+0.6(A2)+0.4(0.5(A2)+0.5(A3))+A4+0.01(A17+A19)+0.99(0.01(0.6(A6)+0.4(A7)+A17+A19)A5+0.05(A17+A19)+0.95(0.5(0.4(A8+0.01(0.6(A6)+0.4(A7)+A17+A19))+0.6(0.3(A12+0.6(A13)+0.4(0.5(A13)+0.5(A4))+0.01(A16+A19)+0.99(0.5(A15)+0.05(A18)+0.95(A19)))+0.7(0.5(A10)+0.5(A11))\*10))+0.5(0.4(A9+A17+A19)+0.6(0.3(A12+0.6(A13)+0.4(0.5(A13)+0.5(A4))+0.01(A16+A19)+0.99  
(0.5(A15)+0.05(A18)+0.95(A19)))+0.7(0.5(A10)+0.5(A11))\*10))))=30.31

Граф-схема алгоритма операции декремента приведена на рисунке 12.3.



Рисунок 12.3 – Граф-схема алгоритма декремента

A1+0.01(A11+A12+A13+A14)+0.99(A2+0.5(0.4(A14)+0.6(0.6(A8+0.01(A14)+0.99(0.1(A10)+0.9(A14)))+0.4(0.5(A5+0.3(A6+A8+0.01(A14)+0.99(0.1(A10)+0.9(A14)))+0.7(A5))+0.5(A7+0.7(A7)+0.3(A8+0.01(A14)+0.99(0.1(A10)+0.9(A14)))))))+0.5(0.4(A11+A12+A13+A14)+0.6(A3+A4+0.6(0.6(A8+0.01(A14)+0.99(0.1(A10)+0.9(A14)))+0.4(0.5(A5+0.3(A6+A8+0.01(A14)+0.99(0.1(A10)+0.9(A14)))+0.7(A5))+0.5(A7+0.7(A7)+0.3(A8+0.01(A14)+0.99(0.1(A10)+0.9(A14)))))))))=21.1

Используя данные предыдущих вычислений найдём среднее число операций, выполняемых на АЛУ.

N=Nm\*0.1+Nas0.3+Nas\*0.4+0.2\*Nd=0.1\*24.95+0.3\*31.31+0.3\*31.31+0.2\*21.1=25,5

Отсюда число операций в секунду:

13 Выбор разъема

Для подключения схемы необходимо 64 разряда под входные и выходные данные, два разряда для питания и заземления, 27 разрядов под управляющие сигналы, 18 разрядов под осведомительные сигналы, 4 разряда под флаги результата, 2 разряда под код операции и два сигнал синхронизации и инверсной синхронизации. Всего потребуется 117 разрядов.

В качестве разъема для подключения схемы был выбран разъем СНП34-135Р, имеющий разрядность 135 и имеющий ток на контакт до 2А. Плата присоединяется при помощи шлейфа.

Внешний вид разъема представлен в приложении В.

# Заключение

В ходе выполнения курсового проекта были разработаны функциональные схемы для операции умножения в дополнительном коде четвёртым способом с простой коррекцией, сложения, вычитания модулей и декремента над числами с плавающей запятой с характеристикой. Разработаны граф-схемы алгоритмов для управления данными функциональными схемами. Разработана объединенная функциональная схема, а также граф-схема алгоритма. Разработана схема электрическая принципиальная сна ТТЛ микросхемах. Для сглаживания скачков тока и напряжения был разработан фильтр питания и рассчитаны соответствующие номиналы конденсаторов с их количеством. Был выбран тактовый генератор для генерации тактовых импульсов с рассчитанной длительностью. В результате получена схема, содержащая 73 микросхемы, с потребляемой мощностью 8,9 Вт. Среднее быстродействие – 90151 операций в секунду.

# Список сокращений

АЛУ – арифметико-логическое устройство

ГСА – граф-схема алгоритма

ДК – дополнительный

ОА – операционный автомат

ОЧ – операционная часть

ПК – прямой код

ПМР – потеря младших разрядов

ПРС – переполнение разрядной сетки

СЧП – сумма частичных произведений

ТТЛ – транзисторно-транзисторная логика

УА – управляющий автомат

ФС – функциональная схема

# Библиографический список

1. Томчук М.Н. Лабораторный практикум по дисциплине “Схемотехниика ЭВМ” [Текст]/ Томчук М.Н. – издательство ВятГУ 2011. 62 с
2. Савельева А.Я. Прикладная теория цифровых автоматов. М.: ВШ, 1987.
3. ГОСТ 2.708-72 ЕСКД. Правила выполнения электрических схем цифровой вычислительной техники.
4. Лысиков Б.Г. Арифметические и логические основы цифровых автоматов. Минск: ВМ, 1980.

# Приложение А

(Обязательное)

Функциональные схемы отдельных операций

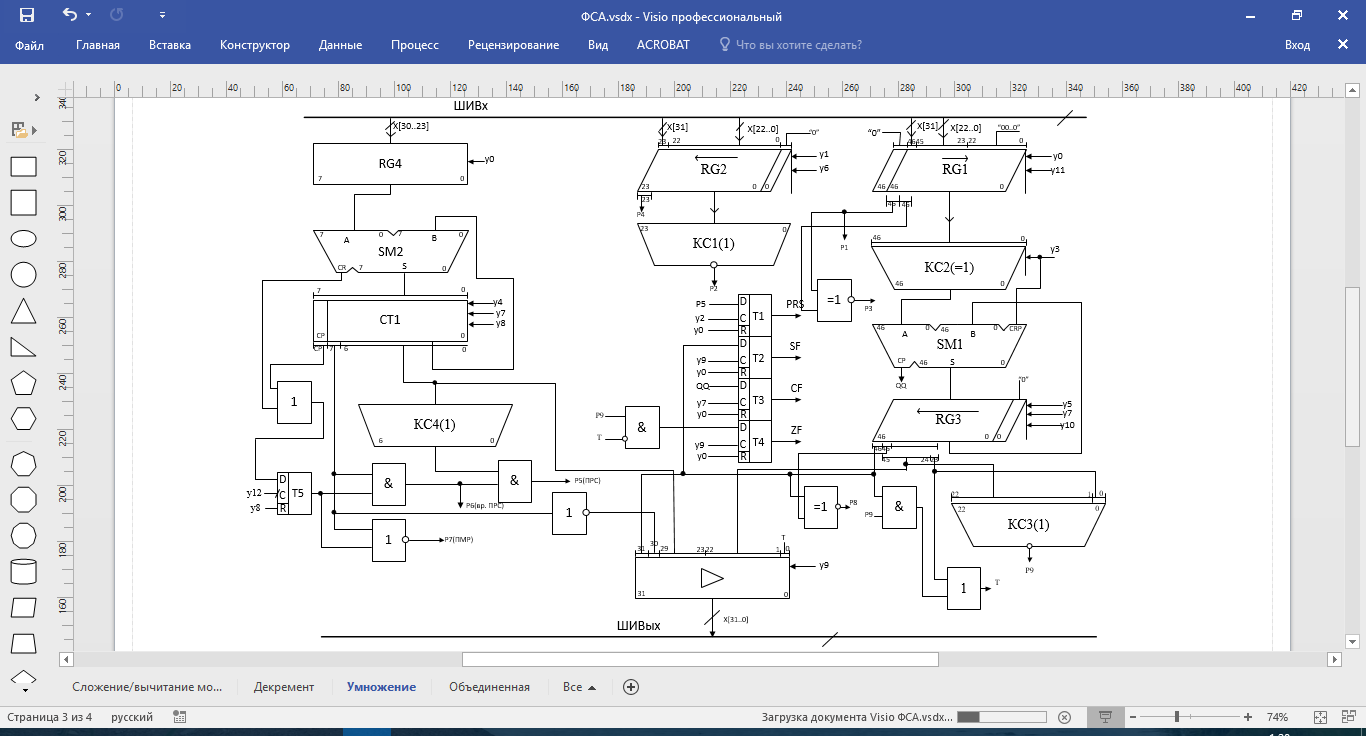


Рисунок А.1 – Функциональная схема ОЧ АЛУ операции умножения

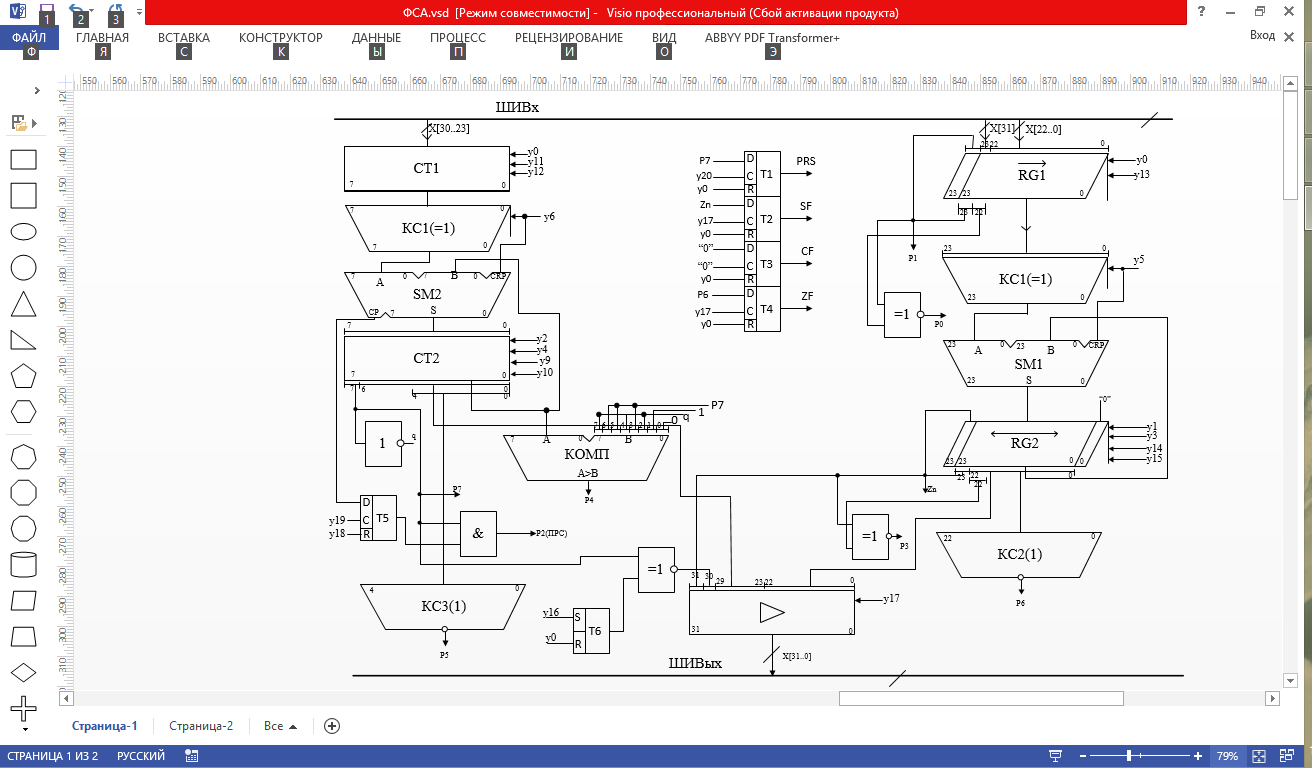


Рисунок А.2 – Функциональная схема ОЧ АЛУ операции сложения и вычитания модулей

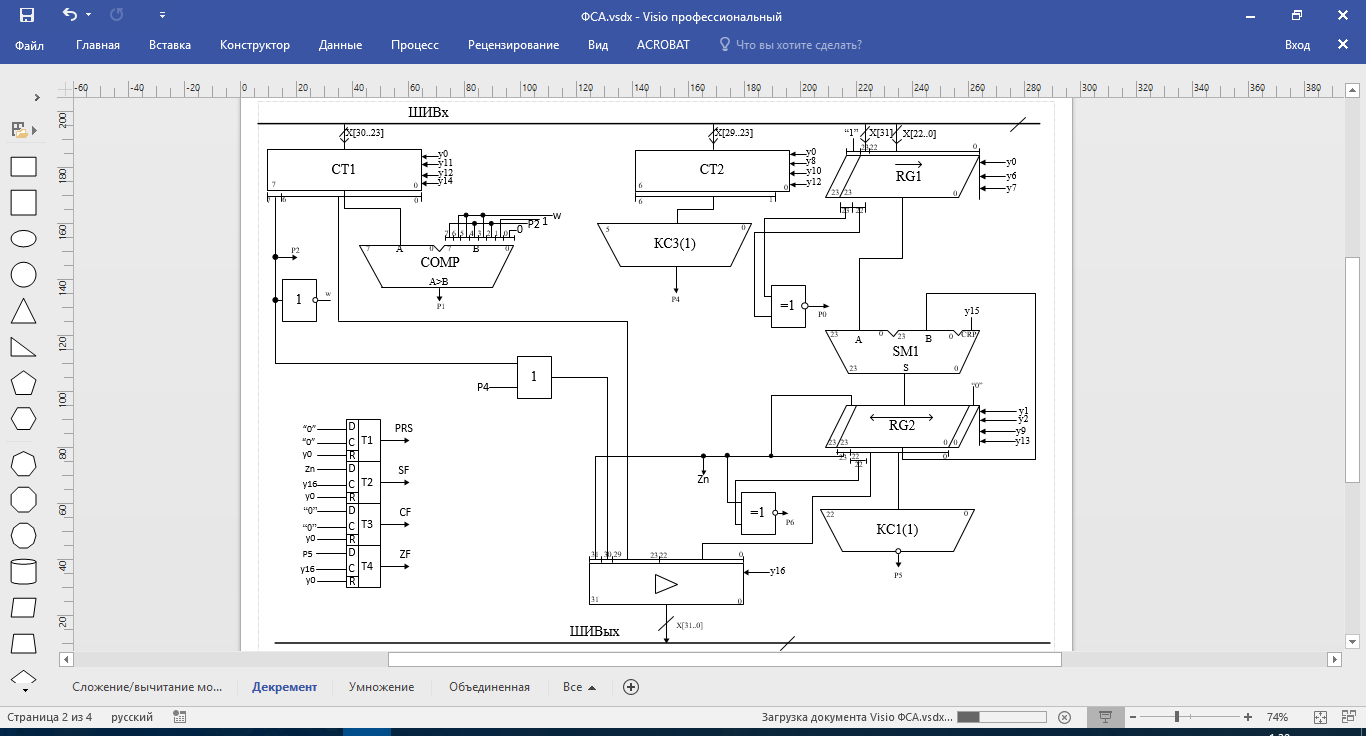


Рисунок А.3 – Функциональная схема ОЧ АЛУ операции декремента

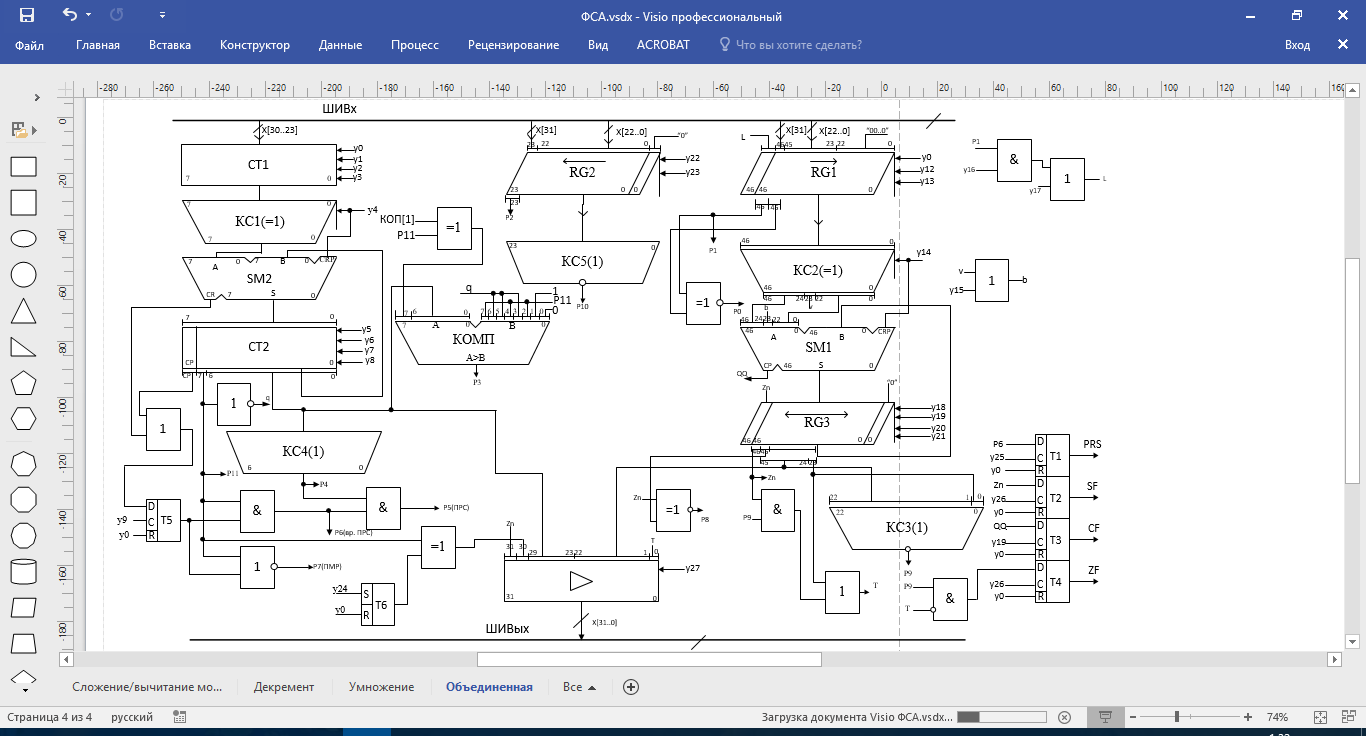


Рисунок А.4 – Объединенная функциональная схема

# Приложение Б

(Обязательное)

Содержательные схемы алгоритмов

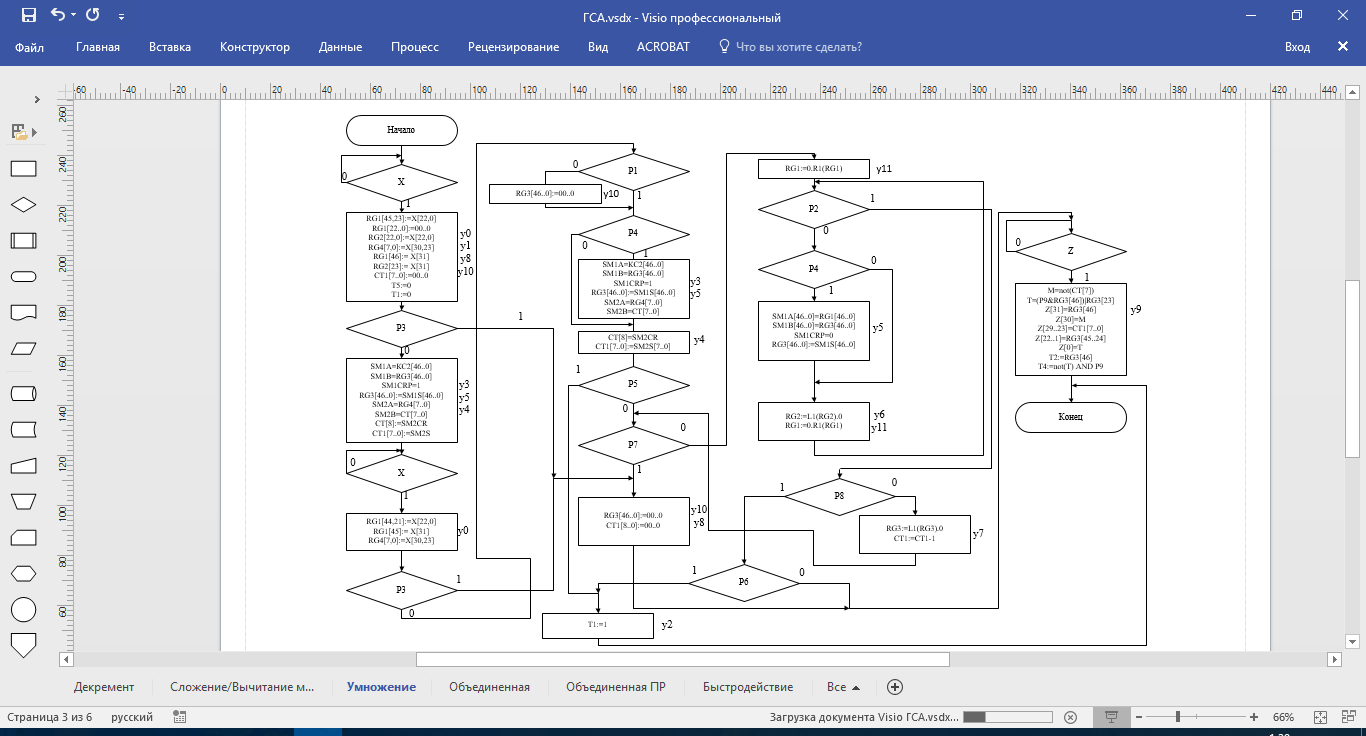


Рисунок Б.1 – Содержательная схема алгоритма умножения

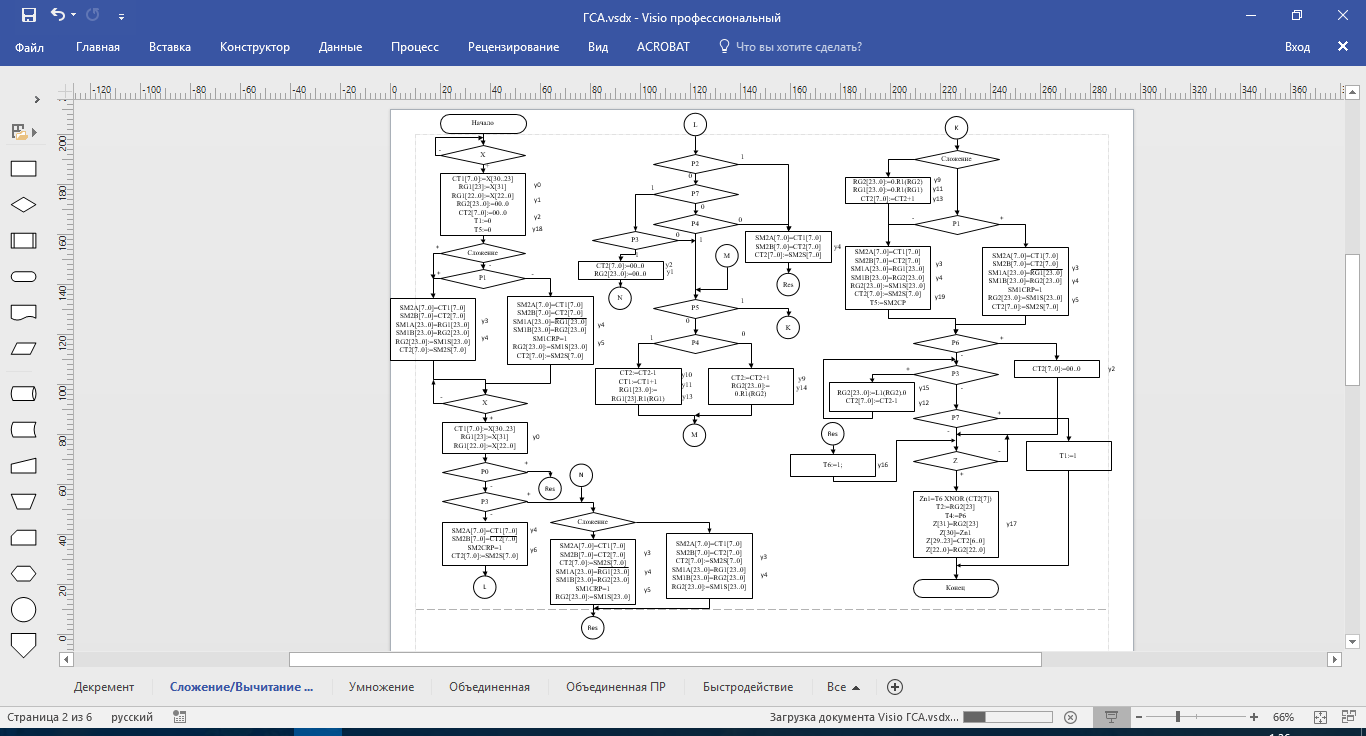


Рисунок Б.2 – Содержательная схема алгоритма сложения и вычитания модулей

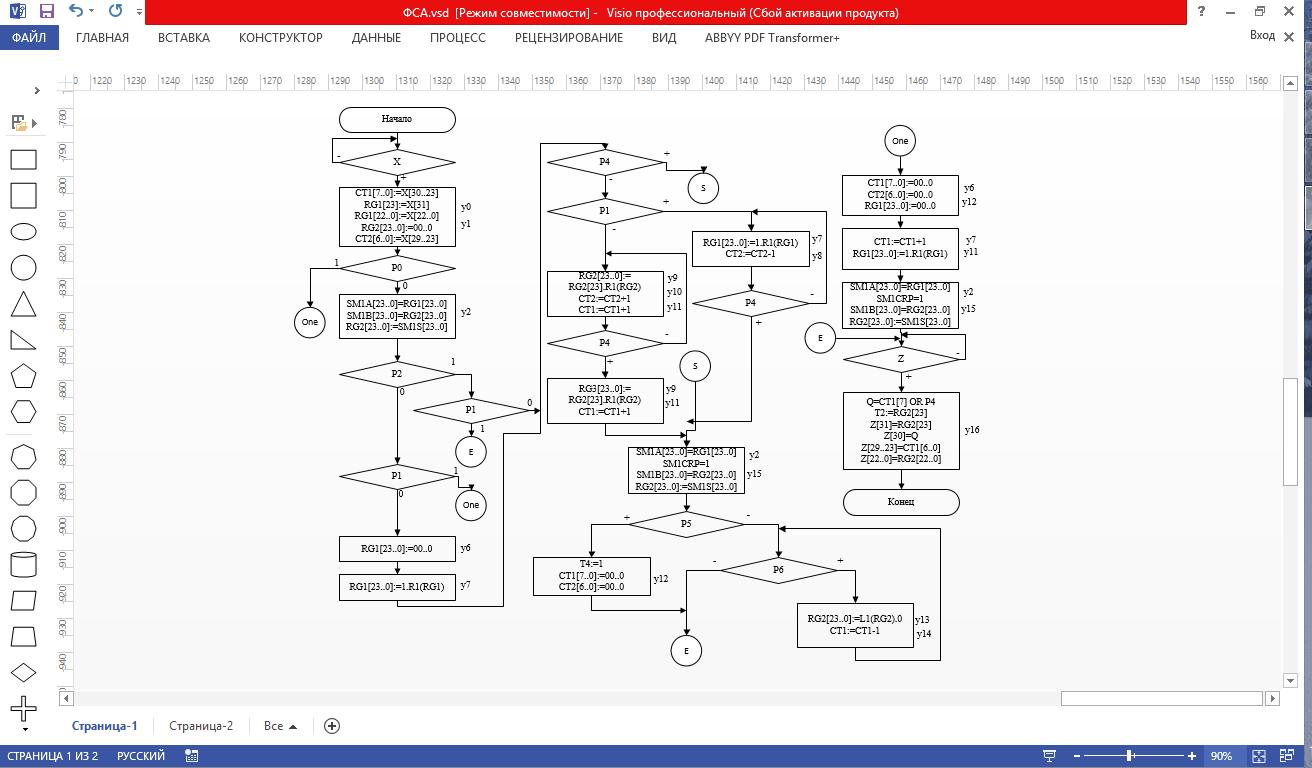


Рисунок Б.3 – Содержательная схема алгоритма декремента

  Рисунок Б.4 – Объединенная ГСА

# Приложение В

(Обязательное)

Внешний вид разъема СНП34-135Р

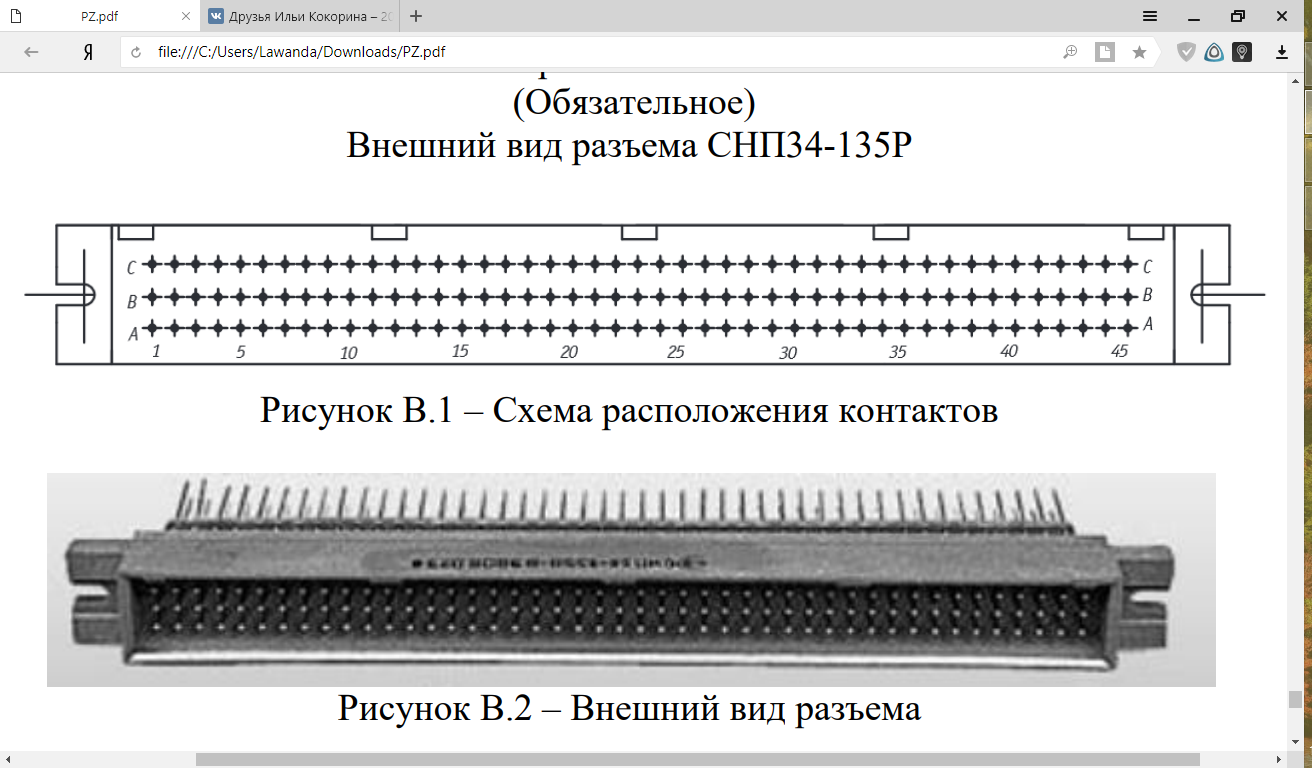


Рисунок В.1 – Схема расположения контактов

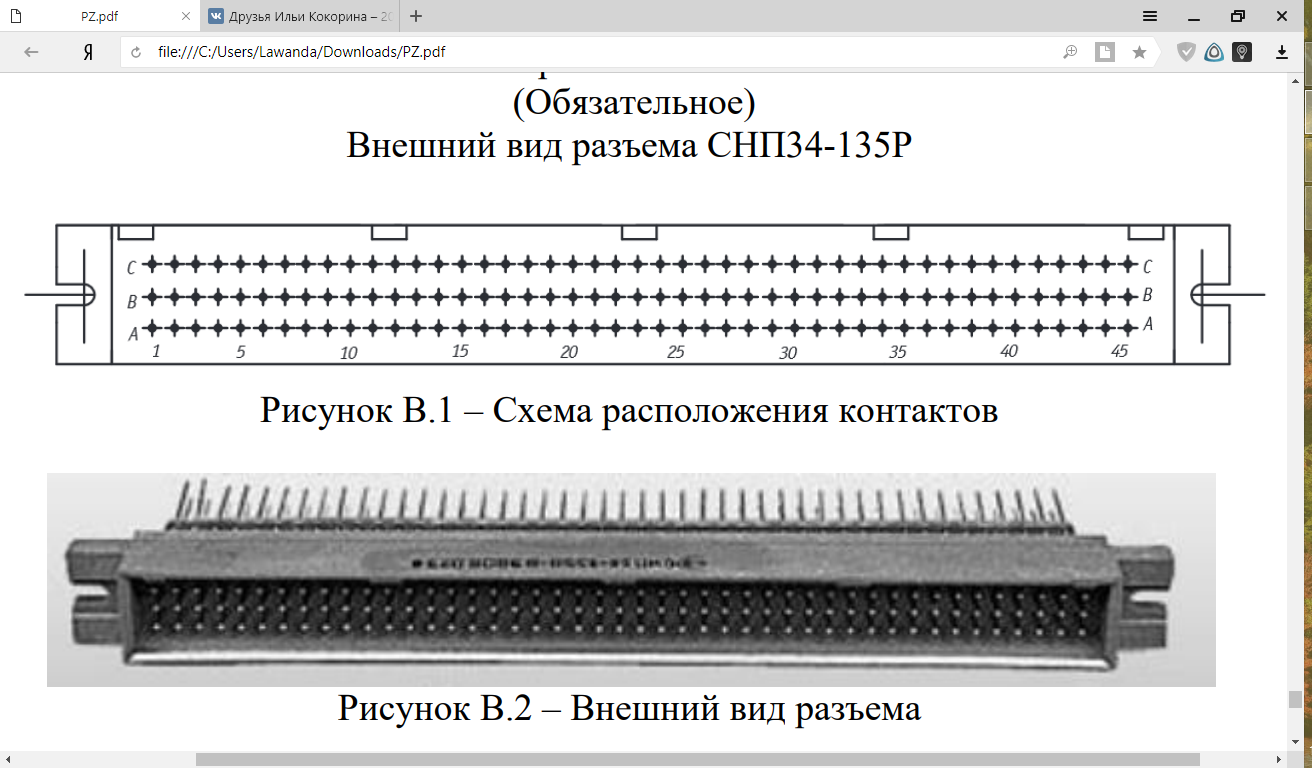


Рисунок В.2 – Внешний вид разъема

# Приложение Г

(Обязательное)

Спецификация

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| №строки | Формат | | Обозначение | | | | Наименование | | | | Кол. | | Приме-  чание | |
| 1 |  | |  | | | | Конденсаторы | | | |  | |  | |
| 2 |  | | C1 | | | | 100 мкФ 25В E24 | | | | 1 | |  | |
| 3 |  | | C2-C48 | | | | 47 пФ 10В Е6 | | | | 47 | |  | |
| 4 |  | |  | | | |  | | | |  | |  | |
| 5 |  | |  | | | | Микросхемы | | | |  | |  | |
| 6 |  | | DD69-72 | | | | К1533АП5 | | | | 4 | |  | |
| 7 |  | | DD50-51,DD61-60 | | | | К1533ИЕ7 | | | | 4 | |  | |
| 8 |  | | DD1-3,DD14-19,DD63-68 | | | | К1533ИР13 | | | | 15 | |  | |
| 9 |  | | DD11-13,DD47-49,DD59 | | | | К1533ЛЕ11 | | | | 7 | |  | |
| 10 |  | | DD5,DD9 | | | | К1533ЛИ1 | | | | 2 | |  | |
| 11 |  | | DD4,DD8,DD44 | | | | К1533ЛЛ1 | | | | 3 | |  | |
| 12 |  | | DD6,7 | | | | К1533ЛН1 | | | | 2 | |  | |
| 13 |  | | DD45 | | | | К1533ЛП16 | | | | 1 | |  | |
| 14 |  | | DD10, DD20-31, DD52-53 | | | | К1533ЛП5 | | | | 15 | |  | |
| 15 |  | | DD58, DD62, DD73 | | | | К1533ТМ2 | | | | 3 | |  | |
| 16 |  | | DD56-57 | | | | К1533СП1 | | | | 2 | |  | |
| 17 |  | | DD32-43,DD54-55 | | | | К1531ИМ6 | | | | 14 | |  | |
| 18 |  | | DD46 | | | | К555ЛЕ1 | | | | 1 | |  | |
| 19 |  | |  | | | | Разъем | | | |  | |  | |
| 20 |  | | ХP1 | | | | СНП34-135/132х12,5Р-22 | | | | 1 | |  | |
| 21 |  | |  | | | |  | | | |  | |  | |
| 22 |  | |  | | | | Резисторы | | | |  | |  | |
| 23 |  | | R1 | | | | 220 Ом 5% 0,25Вт Е24 | | | | 1 | |  | |
| 24 |  | | R2 | | | | 220 Ом 5% 0,25Вт Е24 | | | | 1 | |  | |
| 25 |  | | R3 | | | | 220 Ом 5% 0,25Вт Е24 | | | | 1 | |  | |
|  | |  | |  |  |  |  | | | | | | | |
|  | |  | |  |  |  | ТПЖА.090301.005 ПЭ3 | | | | | | | |
| Изм. | | Лист | | № докум. | Подп. | Дата |  | | | | | | | |
| Разраб. | | | | Кокорин |  |  | Разработка | Лит. | | | | Лист | | Листов |
| Пров. | | | | Мельцов |  |  | операционной части | Э |  |  | |  | | 1 |
| Т.контр. | | | |  |  |  | арифметико- | Кафедра ЭВМ | | | | | | |
| Н.контр. | | | | Ростовцев |  |  | логического | Группа ИВТ-31 | | | | | | |
| Утв. | | | | Страбыкин |  |  | устройства |  | | | | | | |